

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-501466

(43) 公表日 平成11年(1999) 2月2日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 29/786  
29/78

識別記号

F I

H 0 1 L 29/78

6 1 7 K

6 1 6 T

6 1 6 S

6 2 2

3 0 1 W

審査請求 未請求 予備審査請求 未請求(全 15 頁)

(21) 出願番号 特願平9-524145  
(86) (22) 出願日 平成8年(1996)12月10日  
(85) 翻訳文提出日 平成9年(1997)8月25日  
(86) 国際出願番号 PCT/IB96/01403  
(87) 国際公開番号 WO97/24758  
(87) 国際公開日 平成9年(1997)7月10日  
(31) 優先権主張番号 08/580, 409  
(32) 優先日 1995年12月28日  
(33) 優先権主張国 米国 (US)  
(81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, L U, MC, NL, PT, SE), J P

(71) 出願人 フィリップス エレクトロニクス ネムロー  
ゼ フェンノートシャップ  
オランダ国 5621 ベーアー アイन्दー  
フェン フルーネヴァウツウェッハ 1  
(72) 発明者 キム マンジン イェー  
オランダ国 5656 アーアー アイन्दー  
フェン プロフ ホルストラーン 6  
(74) 代理人 弁理士 杉村 暁秀 (外6名)

(54) 【発明の名称】 高電力マイクロ波SOI-MOSFETデバイスの製造方法

(57) 【要約】

マイクロ波高電力SOI-MOSFETデバイスの製造技法を斯種のデバイスと一緒に開示する。このデバイス構体の重要な点は導電率の高い金属ゲートフィンガーがあることにある。他の要点は薄いシリコン層内に逆行ドーピング特性を持たせ、且つソースシールドを具えるソース領域を形成することにある。

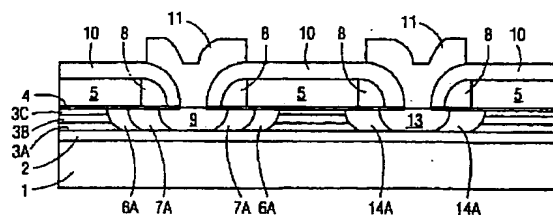


FIG. 1

**【特許請求の範囲】**

1. (a) 酸化物で絶縁した基板上に薄いシリコン層を有するSOIデバイスを形成する工程と、

(b) 前記薄いシリコン層内を第1導電形の逆行ドーピング分布を呈するように組成する工程と、

(c) 前記薄いシリコン層の上のゲート酸化物の上に複数の高導電性の金属ゲートフィンガーを形成する工程と、

(d) 前記金属ゲートフィンガーのうちの少なくとも1つに隣接するソース形成領域内に第1導電形の自己整合ソースーシールドを形成する工程と、

(e) 前記ソースーシールド内にソース領域を形成する工程と、

(f) 前記ソース領域とは反対側にて前記1個の金属ゲートフィンガーに隣接する個所に前記ソース領域と同じ第2導電形のドレイン領域を形成する工程と、

(g) このように形成したデバイス構体の表面上に酸化物層を形成する工程と

(h) 前記ソース及びドレイン領域に金属接点を設け、前記金属ゲートフィンガーをデバイスの一辺におけるゲートバスに接続する工程と

を具備している高電力マイクロ波SOI-MOSFETデバイスの製造方法。

2. 前記複数の金属ゲートフィンガーを、比較的短いゲート長に対して長いゲート幅で形成し、且つ前記複数の金属ゲートフィンガーを少なくとも1個の金属ゲートシステムに接続することを特徴とする請求の範囲1に記載の方法。

**【発明の詳細な説明】****高電力マイクロ波SOI-MOSFETデバイスの製造方法**

本発明は高導電率のゲート構体を用いる高電力FETデバイスに関するものである。特に本発明は高導電率の金属ゲート電極を用いる高電力マイクロ波SOIデバイスに関するものである。

無線移動通信システムに高電力で、高周波の半導体デバイスを用いることが極めて重要となっている。特に、個人用通信サービス（PCS）に対する約3.0 GHzの如き低いギガヘルツ範囲内で作動する次世代の無線電話が開発されている。

斯種の半導体デバイスでは、寄生容量及び抵抗を最小としなければならない。シリコン・オン・インシュレータ（SOI）デバイスはドレイン基板及びドレインソース間容量をかなり低減することが確かめられている。さらに、これらのデバイスを製造する自己整合法は斯様な容量を低減するだけでなく、高電力利得に対する入力抵抗値も低減させる。

SOIデバイスは例えば米国特許第5,359,219号及び第5,243,213号から本来既知ではあるが、これらのデバイスの構成は高周波、高電力用途向けには作られていない。これら従来のデバイスは多結晶シリコンゲート電極を用いており、これは、これらのデバイスを高電力で、高周波の用途に用いることを抑えている。金属ゲートデバイスは、米国特許第5,252,502号に見られるように以前考えられてはいたが、特にゲートとソースドレイン領域との間に高い整合度及びエッチング公差が要求されるから、デバイスの寸法が大きくなることからして、マイクロ波電力デバイスに有効な構成のものは提供されていない。さらに、ゲート金属としてはチタン又はコバルトのようなシリサイド金属を使用することに限られており、これによるシリサイド金属ゲート電極は高温での動作中にゲート酸化物で不安定となる。従って前記参考文献のデバイスは高周波、高電力マイクロ波デバイスには適していない。

**発明の概要**

本発明の目的は金属ゲート電極を用い、デバイスの高容量及び高抵抗問題をな

くす高電力マイクロ波SOIデバイスの製造方法を提供することにある。

本発明はこのような高電力マイクロ波デバイスを、酸化物で絶縁した基板上に薄いシリコン層を有するSOIデバイスを形成する工程と、前記薄いシリコン層内を第1導電形の逆行ドーピング分布を呈するように組成する工程と、前記薄いシリコン層の上にゲート酸化物の上に複数の高導電性の金属ゲートフィンガーを形成する工程と、前記金属ゲートフィンガーのうちの少なくとも1つに隣接するソース形成用領域内に第1導電形の自己整合ソースシールドを形成する工程と、前記ソースシールド内にソース領域を形成する工程と、前記ソース領域とは反対側にて前記1個の金属ゲートフィンガーに隣接する個所に前記ソース領域と同じ第2導電形のドレイン領域を形成する工程と、このようにして形成したデバイス構体の表面上に酸化物層を形成する工程と、前記ソース及びドレイン領域に金属接点を設け、前記金属ゲートフィンガーをデバイスの一辺におけるゲートバスに接続する工程とを実施することにより製造する方法を提供する。

本発明の好適例では、前記複数の金属ゲートフィンガーを、比較的短いゲート長に対して長いゲート幅で形成し、且つ前記複数の金属ゲートフィンガーを少なくとも1個の金属ゲートシステムに接続する。金属システムには耐熱金属を用いることができる。

以下本発明を添付図面を参照して実施例につき説明するが、これらの図面では本発明を明示するために距離及び寸法を変えて示してあり、ここに

図1は本発明によるSOI-MOSFET高電力マイクロ波デバイスの断面図を示し、

図2、図3、図4、図5、図6、図7、図8、図9及び図10は図1のデバイスを製造するプロセスにおける概略図を示し、

図11は本発明により製造したデバイスのゲートフィンガーの頂面図である。

本発明の構成を図1に断面図にて示してある。この構成では、シリコンの如き材料製の高抵抗基板1に絶縁酸化物層2及び極めて薄いシリコン層3を設けてSOI基部構体を形成する。酸化物層2は二酸化珪素材料か、又は他の適当な酸化物とすることができる。極めて薄いシリコン層3は、例えばp<sup>+</sup>導電形の底部層

3Aと、p導電形の中間層3Bと、p<sup>-</sup>導電形の頂部層3Cとを含む等級付けしたドーピング構体を有している。

斯かるドーピング構体の上には、例えばシリコン酸化物の薄いゲート酸化物層4及び多数の離間させた金属ゲートフィンガー5がある。これらの金属ゲートフィンガーはモリブデンの如き高導電率の耐熱金属とすることができ、これらは図11に示してあるように金属ステム12から延在している長いフィンガーを有する櫛状に設ける。このような構成とすることにより各フィンガーに接点を形成しなくて済むため、デバイスの設計及び製造プロセスが簡単となる。ゲートフィンガーの長さは約30ミクロンとすることができ、これらゲートフィンガーのゲート抵抗値はマイクロ波動作に対して3.0オーム以下となる。例えば、モリブデンの如き耐熱金属を用いることによりゲート抵抗値は約0.11オーム/cm<sup>2</sup>に低下し、これはシリサイドを有している通常の高抵抗シリコンゲートの抵抗値よりも1桁小さい。従って、例えば個人用電話に対する低いギガヘルツ範囲内でまさに作動させることができる。

本発明による半導体デバイスのその後の構成は図1に示してあるように、ソース領域7A, 9を完全に包囲して、このソース領域をドレイン領域13, 14Aから広がる空間電荷のパンチ・スルーから保護するp形のソースーシールド6Aを具えており、ソース及びドレイン領域の双方は、例えばn導電形とする。ソース領域7A, 9はソースーシールド6A内に設ける。金属ゲートフィンガー5間の空所には酸化物のスペーサ8を設けて、露出されるn<sup>+</sup>導電形のソース領域9及びドレイン領域13の大きさを制限する。次いでデバイス構体の上に厚い酸化物層10を設け、この酸化物層にあけた開口を経て導電性の金属から成るソース及びドレイン接点11を取付ける。

このような半導体構体は図2～図10に示したような製造プロセスによって形成する。即ち、図2に示すように、高抵抗値のシリコン基板1の上に埋込み酸化物層2を設け、この上に極めて薄いシリコン層3を形成して先ずSOIデバイスを形成する。酸化物層2の厚さは約2ミクロンとすることができ、SOIデバイスの極めて薄いシリコン層3の厚さは約1.5ミクロンとすることができる。その後図3に示すように、薄いシリコン層3の上に薄い熱成長ゲート酸化物層4を設

ける。次いで逆行二重拡散又は注入法により  $p^{++}$  層 3 A の上に  $p$  導電形の間層 3 B を形成してから、 $p^{+}$  導電形材料の頂部層 3 C を注入法により形成する。

次いで図 4 に示した熱成長ゲート酸化物層 4 の上に図 5 に示すように高導電率の耐熱金属ゲートフィンガー 5 を形成する。金属ゲートフィンガー 5 は耐熱金属層をホトリソグラフィ法でパターンニングしてから、フィンガー 5 を形成すべく金属層の領域をエッチング除去することにより形成する。次に、1 つ置きのフィンガー間の開口を経て二重拡散処理を行なって、SOI 構体の厚さに対するこの拡散深度に応じて図 6 に示すような  $p$  形のカップ状又はリング状のソースシールドを形成する。このソースシールドは後に形成するソース領域を完全に包囲して、ドレインからの空間電荷のパンチスルーからこのソース領域を保護する。斯かるソース・シールドはソース領域を規定するゲートフィンガー間のソース窓を経て自己整合拡散することにより形成することができる。パンチスルー電圧はソースシールド 6 内のドーピングレベルを調製することにより高くすることができる。二重拡散の SOI 層とゲートとのオーバーラップ部分を最小にすると、ゲートの下側のチャネルの大部分が軽度にドーブされたままとなり、速度飽和を達成すべく電界を均一に維持することによりチャネル領域間の電圧降下は最小となる。

次に、ゲートフィンガー間にて  $n$  導電形のドーピング処理を行なって、図 7 に示すようにソース及びドレイン領域 7 を形成し、その後斯くして形成したデバイス構体の上に設けた酸化物層を異方性 RIE エッチングすることにより図 8 に示すような酸化物のスペーサ 8 を形成する。次いで図 9 に示すようにスペーサ 8 間にてさらに  $n^{+}$  ドーピングの注入を行なって、ソース及びドレイン導体と良好にオーム接触する良導電率のソース及びドレイン領域 9 及び 13 を形成する。次いで図 10 に示すように厚い酸化物層 10 を堆積し、この層 10 に開口をあけて、これらの開口にソース及びドレイン領域 9 及び 13 に対する主として金属製の導電性接点 11 を形成する。

本発明によれば、ゲート用の高導電率の耐熱金属を図 11 に示すように金属のステム 12 から外方に延在する長くて細いフィンガー 5 を有する櫛状にする。このようにすることにより金属のゲートステムへの各フィンガー間に接点を形成し

なくて済むのでデバイスの設計及び製造プロセスが簡単になる。理想的な配置形態として、ゲートフィンガーの長さは約30ミクロンまでのものとすることができ、デバイスを横切る金属ステムと、これらステムからのフィンガーと、図11に示すようなデバイスの辺に沿う母線との総ゲート抵抗値はマイクロ波動作にとって必要な3.0オーム以下とすることができる。従って、マイクロ波MOSFETのゲートとして耐熱金属の金属ゲートを選定するのは当然であり、モリブデンは最も信頼できるゲート材料である。

ゲート材料としてモリブデンを用いることは、このモリブデンは還元雰囲気中での高温処理にて安定しているから有利である。酸素又は酸はデバイス構体におけるピンホールを経てモリブデンを侵食し得るから、高温での酸素の存在又は湿潤エッチング処理での酸の存在は重大な問題をもたらすことになる。モリブデンの頂部を窒化モリブデンの表皮層に変えることによって侵食度がかなり低下し、デバイスの大量生産を促進する。さらに、非晶質の窒化モリブデン $\text{Mo}_2\text{N}$ は、支柱構造をしているスパッタリングしたモリブデン膜に比べて注入イオンの阻止能をかなり向上させると共にMOSFETを自己整合法で形成し易くする。例えば、2000Åのモリブデンゲートは25KeVのホウ素イオンをマスクすることができないが、620Åの $\text{Mo}_2\text{N}$ は1380Åのモリブデンよりもホウ素イオンをかなりマスクすることができる。従って、モリブデンの窒化物を用いることは注入時間を節約するだけでなく、注入深度を自由に制御することができ、これに加えて重複キャパシタンスを小さくし得る利点をもたらす。

本発明ではMOSFETのゲートとしてモリブデンを用いているが、このモリブデンはデバイスをもっと有効に配置するために、ソース及びドレイン導体並びにデバイスのクロスオーバー導体として用いることもできる。モリブデンの平滑面はオーバーレイを一層平坦にする。しかし、この場合にはモリブデンの下側に薄いバリア層を設ける必要があり、これはモリブデンがシリコンと良好にオーム接触しないからである。このようなバリア層としてCr、Ti及びTiWを用いてみたが、TiWがシリコン及び二酸化シリコンと最も良好な熱安定性を呈することを確かめた。高い熱安定性は650℃まで接触抵抗の劣化を防ぎ、こうした熱抵抗特性は局所温度が例えば300℃以上になり得る高電力SOI増幅器に

とって極めて望ましいことである。モリブデンは、150度での加速エレクトロマイグレーション試験にてMo/TiWの平均故障時間(MTF)が、 $2.5 \times 10^6 \text{ A/cm}^2$ でのAlCu(0.5%)の場合の6,000時間に比べて、 $3.6 \times 10^6 \text{ A/cm}^2$ で24,000時間以上となることからしても優れた耐エレクトロマイグレーション性を呈する。

ドレインのブレークダウン電圧を高くするためにLDMOSデバイスを形成することもできる。この場合には、ドレイン付近の電界をドリフト領域における電界と同じとして、通常タイプのデバイスに比べてアバランシェ降伏、増倍率及び酸化物帯電を低減させるようにする。しかし、移動通信システムには低電圧源しか用立てることができないから、高電圧とのかねあいとして追加のドレイン抵抗はなくてはならない。

【図1】

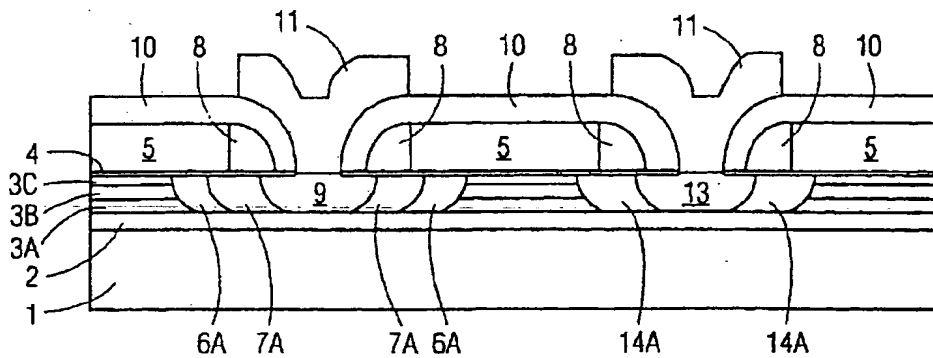


FIG. 1

【図2】

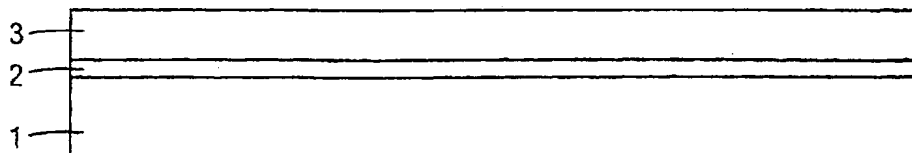


FIG. 2



【図3】

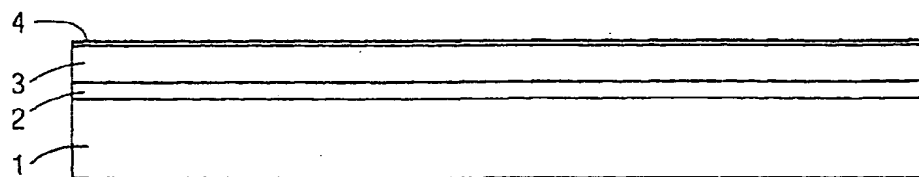


FIG. 3

【図4】

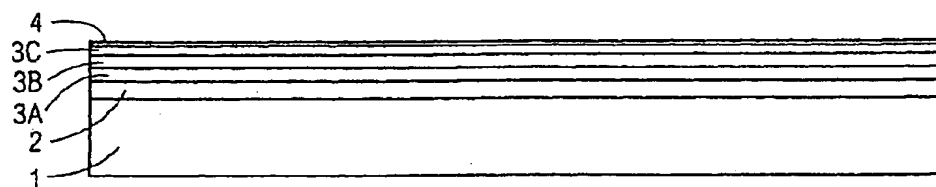


FIG. 4

【図5】

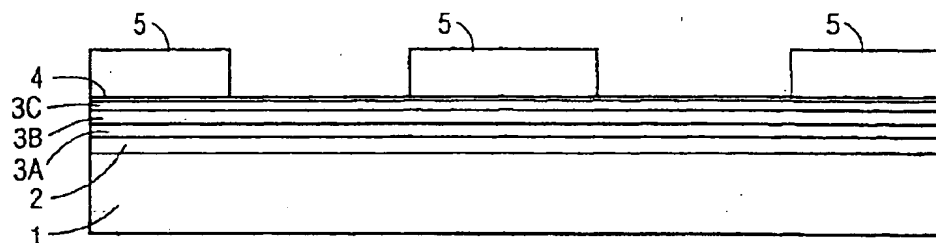


FIG. 5

【図6】

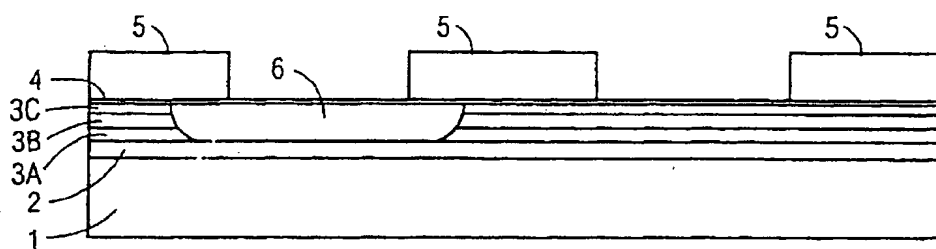


FIG. 6

【図7】

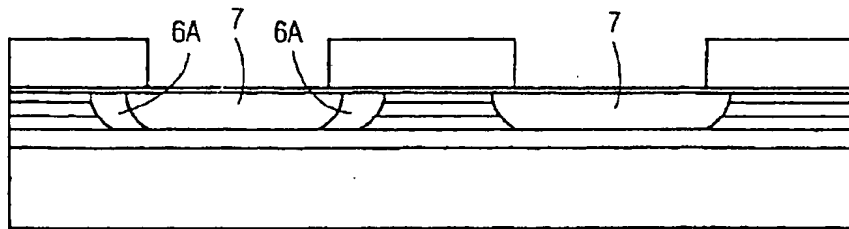


FIG. 7

【図8】

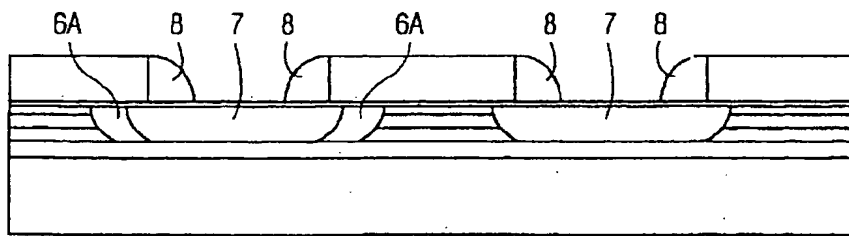


FIG. 8

【図9】

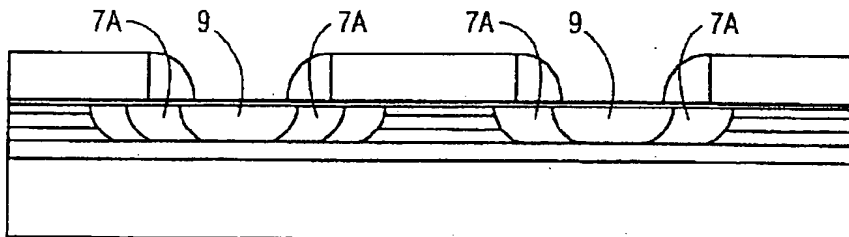


FIG. 9

【図10】

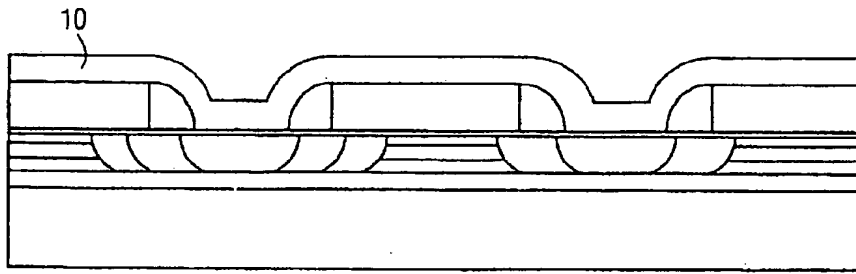


FIG. 10

【図11】

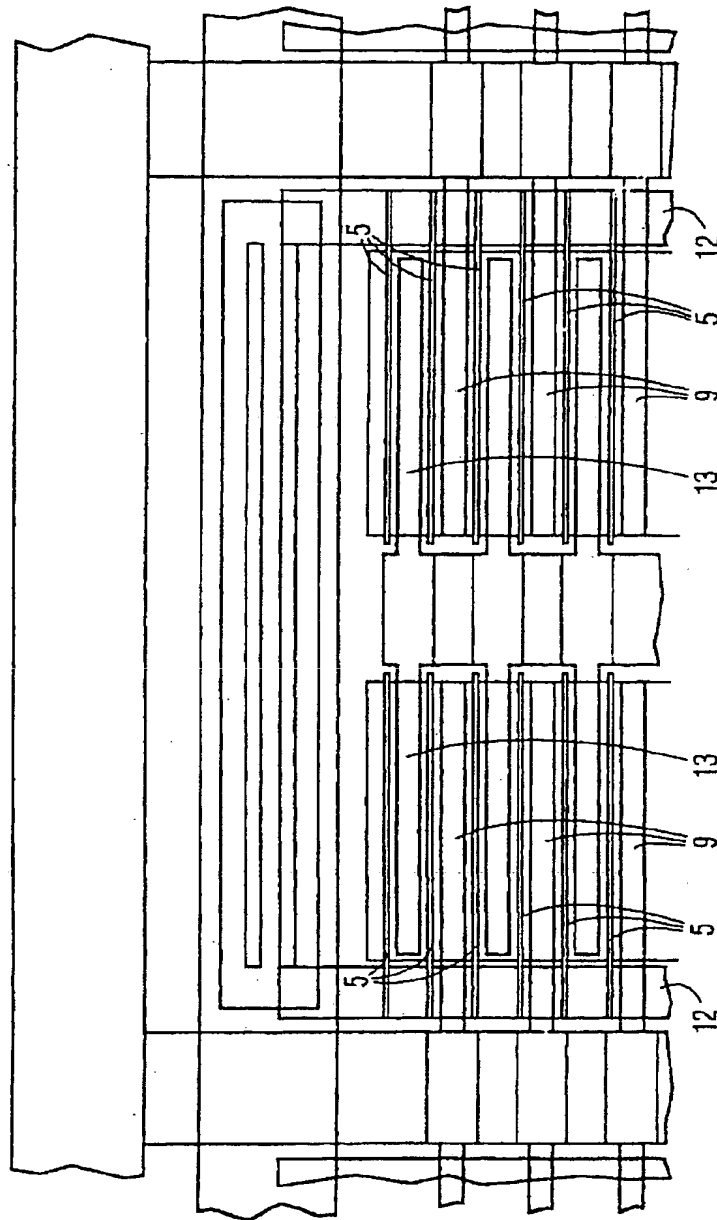


FIG. 11

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/01403

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
IPC6: H01L 21/336, H01L 21/84, H01L 23/66 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
DIALOG; 350, 351		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	JP 8213409 A (NEC CORP), 20 August 1996 (20.08.96) —	1-2
A	US 5252502 A (ROBERT H. HAVEMANN), 12 October 1993 (12.10.93), abstract —	1-2
A	US 5243213 A (YOSHIHIRO MIYAZAWA ET AL), 7 Sept 1993 (07.09.93), figures 17,18, claim 1, abstract —	1-2
A	US 5185275 A (KIRK PRALL), 9 February 1993 (09.02.93), column 2, line 8 - line 39, figures 2-6 —	1-2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
27 May 1997		30 -05- 1997
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Pär Moritz Telephone No. +46 8 782 25 00

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/01403

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4633289 A (JOHN YUAN-TAI CHEN), 30 December 1986 (30.12.86), column 2, line 7 - line 40, figures 1,2 --	1-2
A	US 4578128 A (RANDALL S. MUNDT ET AL), 25 March 1986 (25.03.86), abstract --	1-2
A	US 4498093 A (CHRISTOPHER L. ALLYN ET AL), 5 February 1985 (05.02.85), column 2, line 13 - line 35, figure 1, claim 1 ----- -----	1-2

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

20/05/97

International application No.  
PCT/IB 96/01403

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 8213409 A	20/08/96	EP 0725445 A	07/08/96
US 5252502 A	12/10/93	NONE	
US 5243213 A	07/09/93	DE 69111929 D,T EP 0465961 A,B JP 4067681 A JP 4067682 A	28/03/96 15/01/92 03/03/92 03/03/92
US 5185275 A	09/02/93	NONE	
US 4633289 A	30/12/86	DE 3376782 A EP 0157779 A,B JP 6028298 B JP 60502178 T US 4710477 A WO 8501391 A	30/06/88 16/10/85 13/04/94 12/12/85 01/12/87 28/03/85
US 4578128 A	25/03/86	NONE	
US 4498093 A	05/02/85	NONE	